

文章编号:1007-2780(2011)06-0801-07

用于 AM-OLED 显示屏控制的 MDDI 数据处理芯片设计

李奇奋, 李 妥, 陈志良

(清华大学 微电子学研究所, 北京 100084, E-mail: lqf09@mails. tsinghua. edu. cn)

摘 要: 介绍了一种应用于 AM-OLED 显示屏的 MDDI 数据处理芯片。在移动显示领域, MDDI(Mobile Display Digital Interface)因数据连接线少、功耗低、信号传输可靠性高、可有效降低噪声、降低硬件复杂度而得到越来越广泛的应用。所设计的芯片用于 240 RGB×320 的 AM-OLED 显示屏, 支持 RGB 模式和 26 万色分辨率。控制显示器的屏幕刷新频率为 40~60 Hz。可完全支持 MDDI 协议。由于输入数据量较大而 MDDI 为串行接口, 芯片的数字输入频率最高可达 100 MHz。设计中综合考虑了芯片面积、速率与功耗等方面的限制。经过 FPGA 验证, 该显示电路性能完全满足设计指标要求。

关 键 词: MDDI; AM-OLED; 显示控制; CMOS

中图分类号: TN27; TN702. 2

文献标识码: A

DOI: 10. 3788/YJYXS20112606. 0801

MDDI Data Process Chip Circuit for AM-OLED

LI Qi-fen, LI Tuo, CHEN Zhi-liang

(Institute of Microelectronics, Tsinghua University, Beijing 100084, China, E-mail: lqf09@mails. tsinghua. edu. cn)

Abstract: A single chip Mobile Display Digital Interface (MDDI) data processing chip was developed for AM-OLED (Active Matrix Organic Light-Emitting Diode) display screen. MDDI is widely used in the mobile display area because of its low-power, small-area and high signal transmission reliability. The design of chip supports 240 RGB×320 Dot, 260k-color image data, and the refreshing rate of the display screen is 40~60 Hz. Because large amount of input data and the MDDI only support serial data, the working frequency of the circuit can achieve 100 MHz. So this design take all limit factors into consideration, such as the chip area, working frequency and power consumption. FPGA verification illustrates that the design accords with the specification.

Key words: MDDI; AM-OLED; display control; CMOS

1 引 言

近年来, 有机发光二极管 (Organic Light-Emitting Diode, OLED) 越来越受到人们的关注。与 LCD 相比, OLED 在功耗、可视角、对比度、响应速度等方面具有很大优势, 因此, 成为下一代主流显示器的有力竞争者。目前, OLED 已经成功

应用于数码相机、手机、PSP 等产品中, 如 NO-KIA 一部分高端手机配置 320×240 像素、1 600 万色的 OLED 屏幕。所以, 高端 OLED 显示控制驱动技术成为了显示与集成电路领域的一个研究热点。

在手机等便携式显示产品中, 面向 VESA (Video Electronics Standards Association) 的高

收稿日期: 2011-06-10; 修订日期: 2011-07-14

作者简介: 李奇奋(1985—), 男, 山西吕梁人, 硕士研究生, 研究方向为 LCD/OLED 显示驱动电路设计。

速串行接口 MDDI(Mobile Display Digital Interface)得到了越来越广泛的应用,目前已有三星、东芝、夏普等厂商采用了这种新技术。

本文设计的芯片为课题“AM-OLED 显示屏控制驱动芯片设计”的部分电路。考虑到 MDDI 比较复杂,是一种新型数据接口,且在芯片中发挥重要的作用,所以在设计整体电路的同时,单独将 MDDI 数据处理电路部分设计为完整的芯片以验证其可靠性。根据 MDDI 协议,芯片将输入的高速串行数据转化为显示控制所需的控制数据与图像显示数据,从而控制后续模拟驱动模块直接驱动 AM-OLED 显示屏。

2 AM-OLED 控制驱动电路

所设计的驱动控制芯片用于 $240\text{ RGB}\times 320$ 的 AM-OLED 显示屏,每个彩色像素由 3 个子像素横排在一起组成,因而实际上有 240 列 R 像素、240 列 G 像素、240 列 B 像素,共 720 列子像素。

考虑到 AM-OLED 显示屏控制驱动芯片的通用性,本课题设计的控制驱动芯片有多种输入接口,包括 SPI 串行接口、18-/16-/9-/8-bit 并行接口与 18-/16-/6-bit 的 RGB 接口,同时也有 MDDI 接口。

图 1 所示为 AM-OLED 控制驱动电路芯片的总体结构图。主要分为数字控制部分、SRAM 存储器部分与模拟驱动部分。数字部分负责显示数据、控制命令的输入输出,同时负责控制模拟部分与 SRAM 共同驱动显示屏。虚线框内即为 MDDI 数据处理电路模块,因 MDDI 的创新性与重要性,在完成整体芯片设计的同时也将 MDDI 数据处理模块设计为完整的电路芯片以便单独测试验证。

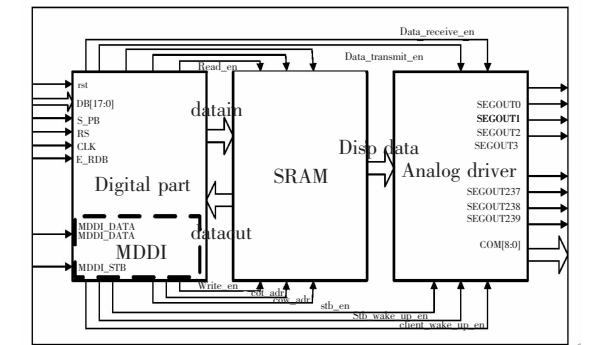


图 1 AM-OLED 显示器控制驱动芯片结构
Fig. 1 Structure of AM-OLED display control chip

本文重点介绍独立的 MDDI 数据处理芯片的工作状况。芯片的应用场合为 $320\times 240\times 18\text{ bit}$ 像素的显示屏,取最高屏幕刷新率 60 Hz ,则显示数据的基本数据传输率为 $320\times 240\times 18\times 60=83\text{ MHz}$,加上其他控制数据,帧格式传输占用的比特率最高会到 100 MHz 。

FPGA 验证过程中,采用了 100 MHz 的工作时钟,通过编写测试向量生成模块在输入端产生符合 MDDI 协议的高速串行数据,然后采用 ChipScope 内嵌逻辑分析仪观察内部重要信号节点与输出信号。验证结果表明,MDDI 数据处理芯片完全满足设计指标要求。

3 MDDI 技术特点

MDDI 连接的两端分别为主端和客端。MDI 基于 LVDS(Low-Voltage Differential Signaling)技术,即主端发送 350 mV 的差动电压给客端,客端检测差动电压的极性判断读取数据是 0 或 1。

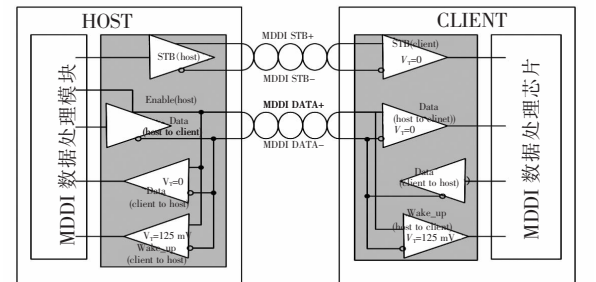


图 2 MDDI 接口电路结构
Fig. 2 Structure of MDDI

图 2 所示为 MDDI 接口电路结构。其中双向数据通道 MDDI_DATA 可以前向、反向传输串行数据,而单向通道 MDDI_STB 仅可前向传输时钟选通信号。MDDI 客端电路的 MDDI_DATA 端带有一个高速、高功耗、零阈值数据接收器,一个低速、低功耗阈值为 125 mV 的数据接收器和一个高速数据发送器。正常工作状态下,客端用高速接收器接收数据并处理。数据传输任务完成后,MDDI 可以关闭高速接收器进入休眠状态,同时开启低速接收器检测重新启动序列。需要重启高速数据通道时,主端会发送重启序列,低速接收器检测到重启序列后可以很快使高速通道进入正常工作状态。

反向传输数据过程中,主端发送命令给客端,客端启动数据发送器并占用 MDDI_DATA 数据通道给主端发送状态与容量信息。

在数据传输层,MDDI 以数据包的形式(packet)传输串行数据。图 3 所示为 packet 的结构和由 packet 组成的帧结构示意图。

图 3 上半部所示为 video stream packet 结构。这个 packet 共有 748 个字节,其中前两个字节为该数据包的字节长度,第 7 字节和第 8 字节为数据格式说明,除此之外还带有行地址、列地址等位置信息,最重要的图像数据由第 27~746 字节共 720 字节组成,其中含有显示屏一行像素所有的显示数据。图 3 下半部所示为帧结构,每个 sub-frame header packet 与 video stream packet 组成一个子帧,240 个子帧组成一帧数据。其中每个子帧含有一行像素显示信息,每帧含有一屏显示数据。

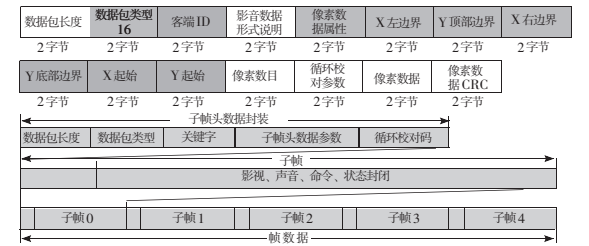


图 3 数据包和数据帧结构

Fig. 3 Structure of the packet and the frame

根据 AM-OLED 显示控制的应用需求,本芯片支持前向传输 5 种 packet 与反向传输 4 种 packet,表 1 所示为这 9 种 packet 的名称与作用。

表 1 本文设计芯片支持的 packet

Table 1 Packets supported by the chip

PACKET	作用描述
Sub-frame header packet	子帧头数据(前向)
Register access packet	寄存器读写操作(前向)
Video stream packet	图像数据流(前向)
Filler packet	填充数据封装(前向)
Link shutdown packet	连接关闭(前向)
Round-trip delay measurement packet	测量主-客-主环路延时
Reverse link encapsulation packet	反向链接压缩数据包
Client capability packet	客端容量(反向)
Client request and status packet	客端请求与状态(反向)

其中 Round-trip delay measurement packet 用于测量主端-客端-主端的环路延时,为反向数据传输提供同步参数。

Reverse link encapsulation packet 专用于传输反向数据包,图 4 所示为其结构简图。由于前向、反向数据共用一个数据通道,而切换过程对物理层电路的操作会产生不可避免的延时,因此在反向连接压缩数据包内部设置了专用切换时间(即 Turn-around1 和 Turn-around2)。为防止在切换时间前后产生误操作,在切换前后专门设置了 8 字节长全零字节(即 All zeros1 和 All zeors2)。

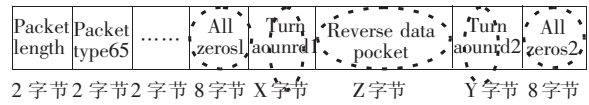


图 4 反向连接压缩数据包结构

Fig. 4 Structure of reverse link encapsulation packet

MDDI 大量减少了信号连接数并提高了稳定性,同时通过对物理层电路的控制实现前向、反向、双向传输数据。MDDI 接口可以快速地关闭或重启高速发送、接收电路,快速进入或退出休眠状态从而进一步节省功耗。这些优点使 MDDI 接口成为移动显示领域应用最广泛的接口之一。

4 MDDI 数据处理芯片总体架构

所设计的 MDDI 数据处理芯片用于 MDDI 客端,它根据 MDDI 协议将串行数据还原为各种控制信号和图像信息。MDDI 接口只有两个输入信号,即通过判断 STB+ 与 STB- 间的电位差是 350 mV 或 -350 mV 得出输入 stb 值,通过判断 DATA+ 与 DATA- 间电位差得出输入 mdin 值。

图 5 所示为所设计的 MDDI 客端(显示器)数据处理芯片结构图。MDDI 采用 data-strobe 编码方式,因此在 STB 信号输入端需要有时钟恢复模块。因为在 MDDI 数据连接层以数据包的形式发送数据,数据包以字节为单位,所以需要根据工作时钟将串行数据移位整理为字节,再通过字节分析模块进行 packet 判断。

本文设计综合考虑了面积、速率、功耗方面的限制。在面积方面,根据芯片同一时间只能处理一种数据包的特点,所有数据包处理模块共用一组字节计数器与比特计数器以及相关寄存器,从而最大限度地减小了硬件成本,减小了芯片面积。

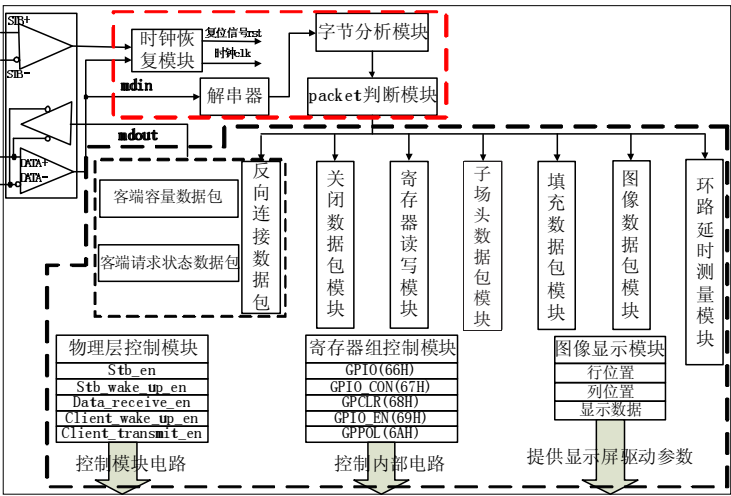


图 5 MDDI 客端结构

Fig. 5 Structure of the MDDI client

在速率方面，芯片完成串并转换后即不再以 bit 为单位而以 byte 为单位处理数据，使各模块电路（见图 5 下方虚线框）的触发时钟降为主体时钟的 1/8，从而避免了芯片中大面积的高速数字电路。在功耗方面，将各数据包处理电路模块分离设计，使芯片处理一个数据包时其他数据包处理模块处于完全静止状态，极大地减小了数字电路翻转率，降低了功耗。

5 MDDI 接口电路局部模块

MDDI 传输速度较高，同时高速数据接收器功耗较大。为了在两者间寻求平衡，MDDI 协议支持灵活的工作模式，即可以根据需求快速关闭高速、高功耗接收器，启动低速低、功耗接收器进入休眠状态，也可以快速退出休眠状态进入高速数据传输状态。

5.1 总体状态控制模块

根据 MDDI 在移动显示屏中的应用需求，将电路的总体工作设置为 4 个状态，图 6 所示为电路总状态机。根据电路的工作状况将电路分为休眠状态、激活状态、正常工作状态与进入休眠状态。其中激活状态指从休眠状态切换到稳定地正常工作状态的过程，进入休眠状态指从正常工作状态切换到完全休眠状态的过程。

芯片上电后默认状态为休眠状态，这可以使内部电路充分复位并使主端、客端高速发送、接收电路进入稳定工作状态。在物理层电路到达稳定状态后，主端先向客端发送启动序列，开启客端高

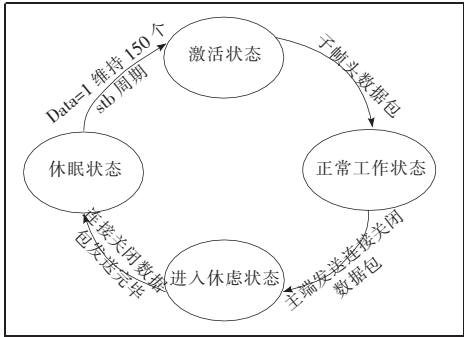


图 6 MDDI 状态机

Fig. 6 State machine of MDDI

速数据接收器。客端检测到激活序列后，电路进入激活状态。客端在激活状态中完成对物理层电路的切换控制与内部寄存器的复位设置，激活时序结束后电路进入正常工作状态。

在正常工作状态中，主端可以向客端写入图像数据信息，也可以通过反向通道使客端发送 Client capability packet 和 Client request and status packet，给主端提供客端容量、状态等参数。

当高速数据传输任务结束后，主端通过发送 Link shutdown packet 使电路切换到休眠状态。在进入休眠状态前，客端按照时序关闭高速接收器并开启低速接收器。这些操作完成后，电路进入休眠状态。

5.2 复位信号 rst 产生模块

MDDI 连接线中没有复位信号 rst，因此需要

在芯片内部产生复位信号。主端需要重启高速通道向客端发送数据时,主端将 DATA 置为 1,将 STB 置为 0,维持至少 200 ns;然后将 DATA 置为 1,维持 150 个 STB 周期;将 DATA 置为 0,维持 50 个 STB 周期。从 DATA 为 0 的第 40 个 STB 周期起,客端电路开始检测 Sub frame header packet。在本文设计中,考虑到内部电路有效复

位的客观需求与主端将 DATA 置为 1、将 STB 置为 0 维持时间的随机性,在主端将 DATA 置为 1、将 STB 置为 0 至少维持 200 ns 的时间段中,在前 150 ns 将内部电路复位信号 rst 置为 0,使电路充分复位;之后 rst 设置为 1,使内部寄存器开始进入工作状态(图 7)。这种时序设计解决了芯片可靠复位的问题。

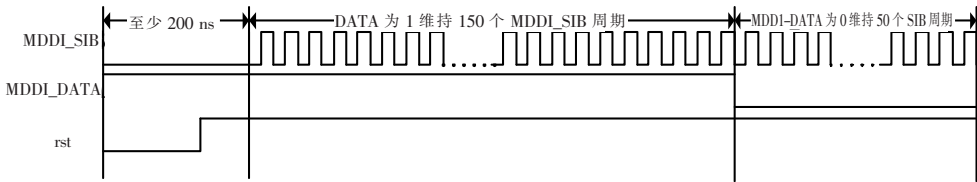


图 7 MDDI 主端激活过程
Fig. 7 Host-initiated link wake-up procedure

5.3 Sub frame header packet 同步模块

MDDI 协议中主端在 DATA 置 0 后的第 40 个 stb 周期后开始发送 Sub frame header packet 的位置是不确定的。在本文设计中,根据 Sub-frame header packet 的特征即 packet_type = 0x3bff, packet_length=20 h,MDDI 传输 Sub-frame header packet 时的 bit 位依次为 0010_1000_0000_0000,之后 1111_1111_1101_1100,注意到第 3 字节所有 bit

都为 1。根据该特征,在 DATA 为 0 第 40 个 stb 周期后,客端电路将输入 bit 移位处理存入 16-bit 寄存器 Word_tem 中并一直检测寄存器的值,当寄存器中所有 bit 位均为 1 时,说明当前数据传输已经到子帧头数据的第 3 字节第 8 比特,此时将 byte_counter 直接赋值为 3,将 bit_counter 直接赋值为 0,从下一时钟开始 byte_counter 与 bit_counter 找到位置并与输入数据同步(图 8)。

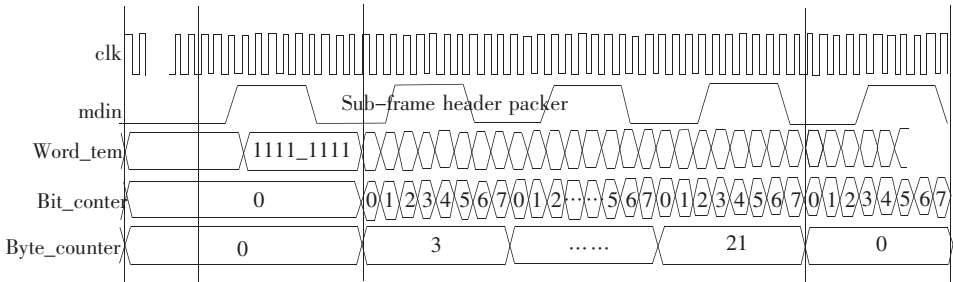


图 8 子帧头数据判断
Fig. 8 Sub-frame header packet judgement

本文设计中,利用 MDDI 数据特征,较好地解决了数据传输起始阶段子帧头数据包的同步问题。

5.4 Packet 判断模块

本文将内部电路按 packet 分类的处理方式,需要对串行数据移位处理成字节后进行 packet 判断。根据 MDDI 协议,子帧由 Sub-frame header packet 和其他 packet 一起构成,接口电路进入正常工作状态后接收的第一个 packet 一定是 Sub-frame header packet。

根据 packet 结构的特点,即 packet 前两个字节为该数据包的字节长度,第 3 字节和第 4 字节为 packetType,如图 9 所示,复位后最先接收 Sub-frame header packet。该 packet 为 20 字节长,packet type 为 3bff。将 packet 长度放入寄存器 packet_length,随着数据的持续输入,byte 计数器不断增加;当 byte 计数器小于 20 时,当前数据仍在 Sub-frame header packet 内部;当 byte 计数之后的 packet 判断电路采用同样的方法,利用前两字节得出 packet_length,第 3、4 字节判断

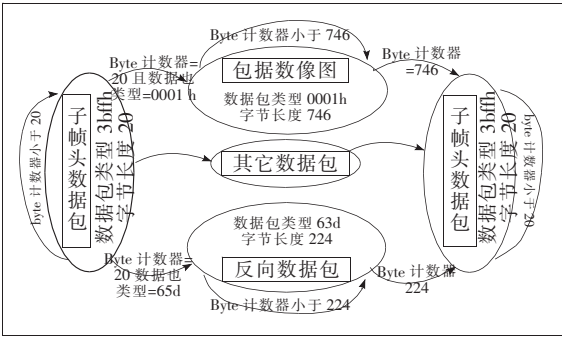


图 9 数据包判断电路

Fig. 9 Packet decision circuit

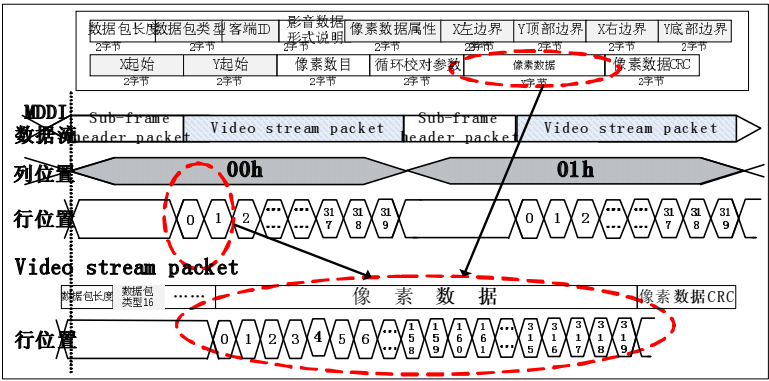


图 10 影像数据流数据包的结构

Fig. 10 Structure of Video stream packet

每个 video stream packet 的长度为 748 byte,其中从第 26 字节到第 746 字节为有效 RGB 数据,这 720 字节数据包包含了显示屏一行像素所需显示信息(720 byte=320×18 bit)。Sub-frame header packet 与 video stream packet 组成一个子帧,240 个子帧组成一帧,一帧数据即为显示器一屏所需显示数据。每个子帧对应一个列坐标,即第一个子帧传输第一列数据,最后一个子帧(即第 240 子帧)传输最后一列数据,列地址随着子帧计数器的增加而增加。

每个子帧携带一行 320 个像素的显示信息,因此在每个列地址不变时,行地址需要根据数据的传输从 1 增加到 320。由于 MDDI 接口为高速串行接口,每个时钟只传输 1 bit 数据,而本课题中 AM-OLED 显示器为 18 bit 分辨率,因此每个像素的显示信息需要 18 个时钟周期的数据传输。当行地址增加到 320 时说明这一行的图像传输已经结束,也就是当前的 video stream packet 传输完成,接下来列地址加 1,传输时序进入下一子帧即下一行的图像数据。

器等于 20 时,Sub-frame header packet 传输完毕。数据包类型,然后根据 byte 计数器与 packet_length 的比较值确定数据是否仍在当前数据包内。

值得注意的是,每个子帧都是以 Sub-frame header packet 开头的,故每个子帧结束后传输的下一个 packet 必定是 Sub-frame header packet。

5.5 Video stream packet 工作模块

作为应用在 AM-OLED 显示场合的 MDDI 数据处理芯片,其最基本的任务是图像数据传输通过 video stream packet 完成,图 10 所示为 video stream packet 具体结构与工作过程。

6 结 论

介绍了一种应用于移动 AM-OLED 显示屏控制的 MDDI 数据处理芯片。由于 MDDI 接口为高速串行接口,其所有指令信息和显示数据都包含于串行数据中,既没有单独的控制信号,也没有复位信号,所以极大地减少了信号连接数,但同时也给解帧电路带来较大的工作量。本文根据 MDDI 协议,设计了相应的数据处理芯片,将串行数据还原为各种控制信号与图像数据,通过控制模拟驱动电路模块直接驱动 AM-OLED 显示屏。在 MDDI 协议中,数据传输时序具有较大的不确定性,因此给数据处理电路的时钟同步造成了一定的问题。本文根据 MDDI 数据传输的协议特征,解决了启动高速传输通道时子帧头数据包的不同步问题。

设计时综合考虑了芯片面积、速率和功耗方面的限制。采用将各数据包处理模块分离设计的架构,使各数据包处理模块共用一组 bit 计数器、byte 计数器及其他相关寄存器,最大限度地减小

了硬件实现代价,减小了芯片面积。本芯片设计中采用了将内部电路按字节为单位处理的方式,将占用芯片大部分面积的数据包处理电路的工作时钟频率降为主时钟的 1/8,避免了设计高速数字电路时出现的延时、建立时间、保持时间的要求较为苛刻的问题,也大幅减小了功耗。同时设计中采用了 packet 判断模块,使接口电路传输一个

packet 时其他 packet 处理电路全部处于静止状态,最大限度地降低了数字电路的功耗。

另外,为配合串行数据中的指令需求,芯片内部设计了专门的控制电路模块来控制接口电路的前向、反向传输以及高速数据接收器、低速数据接收器、高速数据发送器及其他模块的协同工作。经 FPGA 验证,该芯片设计完全达到了设计目标。

参 考 文 献:

[1] Park J W, Lee K J, Kim J H, *et al.* An MDDI-host architecture with low complexity for SoC platforms [J]. *IEEE Transactions on Consumer Electronics*, 2007, 53(4):1668-1673.

[2] Baek J H, Lee M H, Lee J H, *et al.* A current-mode display driver IC using sample-and-hold scheme for QVGA full-color AM-OLED displays [J]. *IEEE Journal of Solid-State Circuits*, 2006, 41(12):2974-2982.

[3] Chaji G R, Nathan A. A fast settling current driver based on the CCII for AMOLED displays [J]. *Journal of Display Technology*, 2005,1(2):283-288.